

BEST AVAILABLE COPY

(54) AUXILIARY CAPACITANCE FORMING METHOD

(11) 1-286463 (A) (43) 17.11.1989 (19) JP

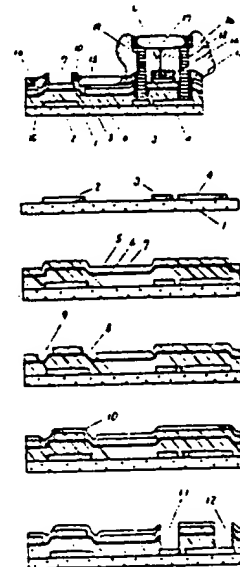
(21) Appl. No. 63-117298 (22) 13.5.1988

(71) MATSUSHITA ELECTRIC IND CO LTD (72) SHINICHIRO ISHIHARA(1)

(51) Int. Cl. H01L27/12.H01L27/04.H01L29/78

PURPOSE: To simplify manufacturing process, and reduce manufacturing cost by forming, on a glass substrate, a first region and a second region turning to the gate electrode of a thin film transistor, and one side electrode of an auxiliary capacitance, by using the same material, and forming, thereon, the auxiliary capacitance by using a gate insulating film.

CONSTITUTION: On a glass substrate 1, a gate electrode 2 is formed in a TFT region by using a gate electrode material; a first region 3 and a second region 4 are formed in a COG region by using the same gate electrode material; a gate insulating film 5, an a-Si:H film 6, and a protective film 7 are formed in order; source, drain contact holes 8, 9 are formed by selectively etching a part of only the protective film 7; an N-type a-Si:H film 10 is deposited; contact holes 11, 12 are formed; a metal film is deposited and selectively etched; thereby forming each region of a bus line 13, the facing electrode 14 of an auxiliary capacitance, a wiring 15, and a wiring 16 from a drain electrode. In the case of forming the auxiliary capacitance, it is realized also in a form wherein the protective film 7 is eliminated.



257/66

⑫ 公開特許公報(A) 平1-286463

⑤ Int. Cl.⁴

識別記号

庁内整理番号

③ 公開 平成1年(1989)11月17日

H 01 L 27/12
27/04
29/78

3 1 1

A-7514-5F
C-7514-5F
X-8624-5F

審査請求 未請求 請求項の数 2 (全5頁)

④ 発明の名称 補助容量形成方法

② 特 願 昭63-117298

② 出 願 昭63(1988)5月13日

⑦ 発 明 者 石 原 伸 一 郎 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑦ 発 明 者 永 田 清 一 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑦ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑦ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

補助容量形成方法

2. 特許請求の範囲

(1) ガラス基板上に同一材料で薄膜トランジスタのゲート電極、補助容量の一方の電極となる第1の領域及び第2の領域を形成する第1の工程と、前記ゲート電極及び第1、第2の領域上にゲート絶縁膜、活性膜及び保護膜を順に積層する第2の工程と、前記第1の領域の上方に位置する前記ゲート絶縁膜、活性膜及び保護膜を膜厚を調整しつつエッチングする第3の工程と、前記第1、第2の領域に達するICチップコンタクト用コンタクトホールを形成する第4の工程と、金属膜を蒸着し、前記補助容量の他方の電極、薄膜トランジスタのソース電極及びドレイン電極を選択的に形成する第5の工程とを含み、前記第1の領域と他方の電極間に位置する少なくともゲート絶縁膜によって補助容量を形成することを特徴とする補助容量形成方法。

(2) ガラス基板上に同一材料で薄膜トランジスタのゲート電極、ICチップを前記薄膜トランジスタに電気的に結合するための第1、第2の領域を形成する第1の工程と、前記ゲート電極、第1、第2の領域上にゲート絶縁膜、活性膜及び保護膜を順に積層する第2の工程と、前記第1、第2の領域の上方に位置する前記ゲート絶縁膜、活性膜及び保護膜を膜厚を調整しつつエッチングする第3の工程と、前記第1、第2の領域に達するICチップコンタクト用コンタクトホールを形成する第4の工程と、前記コンタクトホールの上に位置しかつ前記膜厚の調整されたゲート絶縁膜の上方に金属膜を蒸着し、結合容量を構成する二電極を選択的に形成する第5の工程とを含み、前記結合容量を結合するための一方の電極をアースラインに他方の電極をICチップの基準電位を供給するラインに電気的に結合し、これらの二電極及び電極間に位置する少なくともゲート絶縁膜によって補助容量を形成することを特徴とする補助容量形成方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、活性層として非晶質シリコン（以下 $a\text{-Si:H}$ と略す）を用いた薄膜トランジスタ（以下TFTと略す）をガラス基板上に形成する

工程中にTFTを駆動するために必要な補助容量を形成する方法に関するものである。

従来の技術

$a\text{-Si:H}$ を用いたTFTは200℃前後の比較的低温で大面積にわたって容易に形成されるため、一次元センサや液晶ディスプレイに応用されるべく研究されている。これら半導体素子を駆動させるための駆動信号の印加方法は、従来、基板端に取り込み電極を設け、フレキシブルフィルムによって外部回路と接続し、この外部回路から半導体素子に印加する方法を用いている。

ところで、フレキシブルフィルムは高価なポリイミド樹脂を使用しているため、大型化や高密度化が進むにつれ、実装するフィルムの枚数および面積が増加するため、材料費が高価になる。さら

成方法は、ガラス基板上に同一材料で薄膜トランジスタのゲート電極、補助容量の一方の電極となる第1の領域及び第2の領域を形成する第1の工程と、前記ゲート電極及び第1、第2の領域上にゲート絶縁膜、活性膜及び保護膜を順に積層する第2の工程と、前記第1の領域上に位置するゲート絶縁膜、活性膜及び保護膜を膜厚を調整しつつエッチングする第3の工程と、前記第1、第2の領域に達するICチップコンタクト用のコンタクトホールを形成する第4の工程と、金属膜を蒸着し、前記補助容量の他方の電極、薄膜トランジスタのソース及びドレイン電極を選択的に形成する第5の工程とを含み、前記第1の領域と他方の電極間に位置する少なくともゲート絶縁膜によって補助容量を形成するものである。

また、本願第2の補助容量の形成方法は、上述の第1の領域と他方の電極とからなるサンドイッチ構造の補助容量にかえて、第1、第2の領域上に位置するゲート絶縁膜上に、金属膜を蒸着し、結合容量を形成する二電極を選択的に形成し、一

に大型化にともなって、接点の数も増加するので信頼性に問題が発生した。このためガラス基板上にICチップを直接実装するCOG方式が用いられてきた。一方、付加価値を高めるため、単結晶シリコンを基板とする半導体素子はより一層の実装密度の高密度化が図られている。ガラス基板上に形成される一次元センサや液晶ディスプレイの場合も例外ではない。更にガラス基板の特徴を利用して、装置の大型化も同時に進められている。

発明が解決しようとする課題

ICの駆動には大容量の電気補助容量が必要でICチップと並べるように補助容量チップをガラス基板上に配していた。このためガラス基板の小型化には限界があった。また、この補助容量チップはICチップに比べ厚く、COG方式を用いる場合、チップの基板上への接着時の部品押えに段差が生じ、押え治具が複雑になることから接着精度、強度にも問題が生じた。

課題を解決するための手段

上記目的を達成するために本発明の補助容量形

方の電極をアースラインに、他方の電極をICチップの基準電位を供給するラインに電気的に結合し、これらの二電極及び電極間に位置するゲート絶縁膜によって補助容量を形成することを特徴とするものである。

作用

上記補助容量の形成方法によって、ICチップ下の領域に薄膜トランジスタの形成とともに、特別な工程を必要とせずに、補助容量を形成することができる。その結果、容量チップをガラス基板上に配設し、接着する従来の製造方法に比べ、製造工程を簡略化でき、製造コストの削減を実現できる。

実施例

以下、本発明の補助容量形成方法の実施例について図面を用いて詳しく説明する。第1図はTFTの製造工程中に補助容量を形成する方法を説明するための断面図である。

まず、ガラス基板1上にTFT領域にゲート電極材料を用いてゲート電極2を形成するとともに、

COG領域に同ゲート電極材料を用いて第1領域3、第2領域4を形成する(第1図(a))。第1領域3は、後工程で装着されるICチップの出力信号をTFTのソース電極に伝達する領域であり、第2領域4は、ICチップの駆動に用いるための補助容量の一方の電極を構成するとともにICチップの電源電力を供給する配線をICチップに結合する領域である。

次に、高周波グロー放電装置でTFTのゲート絶縁膜5、TFTの活性層であるa-Si:H膜6、保護膜7を順に形成する(第1図(b))。COG領域では、これらの第2領域4上に形成されたもののうち少なくとも1層が本発明の補助容量の誘電物質となる。

次に、保護膜7のみ一部選択的にエッチングして、TFTのソース、ドレインコンタクトホール8、9を形成する(第1図(c))。このとき、COG領域の保護膜7をその膜厚を調整しながらエッチングすると、補助容量の誘電物質の膜厚制御することができ補助容量として機能する領域を同一面

ド(図示せず)と、ソース電極への配線15とを接続する役割をする。

本実施例において、補助容量は、ゲート電極材料第2領域4と、補助容量の対向電極14と、これらの電極4、14間に位置する少なくともゲート絶縁膜6によって形成される。なお、補助容量を形成際には、保護膜7を取り除いた形態でも実現することができる。保護膜7を除いた補助容量は、第1図(c)の工程においてソース、ドレインのコンタクトホール8、9をあける時に補助容量形成領域も選択的にエッチングすれば良い。保護膜7を除いた補助容量は、単位面積あたりの電気容量が多くとれ、保護膜7を入れた補助容量は、ダスト等によるピンホールによって電氣的に短絡する確率が低くすることができ、かつ補助容量の耐電圧を上げることができる。なお、補助容量の対向電極14は、ICチップ17の基準電位を与えるパッド(図示せず)に接続されている。

ICチップ17と補助容量の対向電極14との距離を $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下になるようにし

横で形成した場合、その容量値を制御することができる。

次にn型a-Si:H膜10を堆積する(第1図(d))。

次にCOG領域のICチップとのコンタクト部にコンタクトホール11、12をあける(第1図(e))。

次にAlを含む金属膜を蒸着する(第1図(f))。この金属膜は選択的にエッチングされ、IC駆動用のバスライン13、補助容量の対向電極14、TFTのソース電極への配線15、ドレイン電極からの配線16の各領域が形成される。金属膜が選択的にエッチングされた状態でn型a-Si:H膜10を同様なパターンでエッチングする。その後、ICチップ17をパンプ18、19を用いてガラス基板1上に実装する。パンプ18はICを駆動させる電力を供給するバスライン13と、ICチップ17に設置されている電力取り込み用のパッド(図示せず)とを接続する役割をする。パンプ19は、ICチップ17の信号出力用パッ

で絶縁性物質26でおおい、ICチップ17を固定する。なお、絶縁性物質26は、ICチップ17とICチップ17を実装する基板との間に生じる空間(第1図(f)では距離1となる)全体に充てんされているものではない。すなわち、パンプ18、19とICチップ17との接着面に生じる微細空間、またパンプ18、19とゲート電極材料第1、第2領域との接着面およびその周囲に生じる微少空間には、絶縁性物質26は満たされていない。これは、すべての空間に絶縁性物質26を満たすと、ICチップ17とパンプ18、19、および基板側の導電物質3、4との接触が十分にとれなくなるためである。

次に、本発明の第2の実施例について図面を参照しながら説明する。第1の実施例では、いわゆるサンドイッチタイプの補助容量を示した。本実施例では、第2図に示すように同一平面上に平行なギャップを設けた補助容量について示す。第2図(a)は、本実施例の平面図であり、第2図(b)は、同図(a)A-A'線における断面図である。なお第1

図とTFTの製造工程は同じであるため、TFT領域は略し、COG領域のみ示してある。

第2図(a)において、破線で囲まれた領域31は、ICチップ17が配される。第2図の構成は、第1の実施例でも述べたように、補助容量の絶縁性薄膜に、保護膜7のないゲート絶縁膜5だけを用いている。他の構成要素は同じである。第1図(f)と第2図(b)とを対比して説明する。第2図において、1はガラス基板、3はゲート電極材料第1領域、4は第2領域、5はゲート絶縁膜、6はa-Si:H膜、10はn型a-Si:H膜、11と12はコンタクトホール、13はICチップ駆動用電力供給のバスライン、15はソース電極への配線である。これらの構成によって本実施例の補助容量は、ICチップ17の基準電位を与えるアースライン32より延長された補助容量の対向電極33と、バスライン13の延長線34の電極と、この間に位置する絶縁膜5とからなっている。ゲート電極材料第2領域4を第2図(b)のように選択的にエッチングしておけば、これらによっても本

発明の補助容量は形成される。

なお、第2図(a)においてバスライン延長線34が、アースライン32の延長線である補助容量の対向電極33を囲むように構成されているが、回路構成上の要請や、信号の安定性を考慮して、アースラインがバスラインを囲むように構成してもよく、その場合、アースラインをガラス基板1の配線等のない空領域に広げておいても良い。このようにしてクシ形の補助容量を形成できた。

なお、ICチップを実装するときには、第1図(f)に示したようにICチップと基板上導電物との距離25を1μm以上10μm以下になるように絶縁性物質26で固定した。

発明の効果

以上のように、本発明によってCOG実装されたICチップの下に、薄膜トランジスタを形成するための工程と異なる特別な工程を必要とせず、ICチップ駆動用の補助容量を形成することができ、製造工程を簡素化でき、製造コストの削減を図ることができる。また、補助容量とICチップ

は積層される形態となるために、ガラス基板の利用効率をさらに上げることができる。

4. 図面の簡単な説明

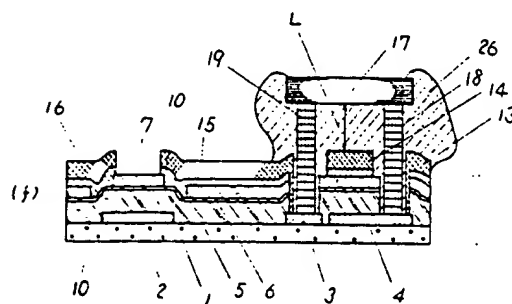
第1図は本発明の補助容量の形成方法の一実施例の工程を説明する断面図、第2図は本発明の第2の実施例を示した平面図と断面図である。

1……ガラス基板、2……ゲート電極、3……ゲート電極第1領域、4……ゲート電極第2領域、5……ゲート絶縁膜、6……a-Si:H膜、7……保護膜、8、9、11、12……コンタクトホール、10……n型a-Si:H膜、13……バスライン、14、33……補助容量の対向電極、15……ソース電極への配線、17……ICチップ、18、19……バンパ、26……絶縁性物質、32……アースライン、34……バスライン延長線。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

- 13 ……バスライン
- 14 ……補助容量の対向電極
- 15 ……ソース電極への配線
- 16 ……ドレイン電極からの配線
- 17 ……ICチップ
- 18, 19 ……バンパ
- 26 ……絶縁性物質
- L ……14と17の距離

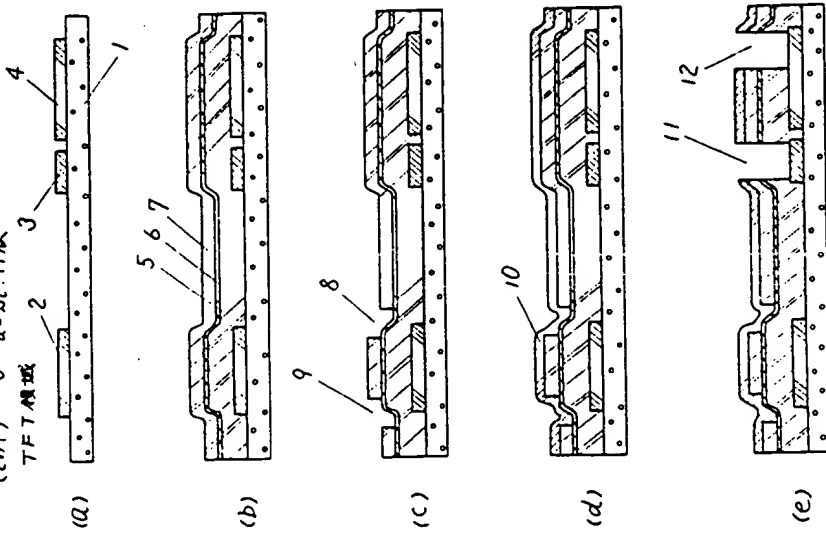
第1図 (2/2)



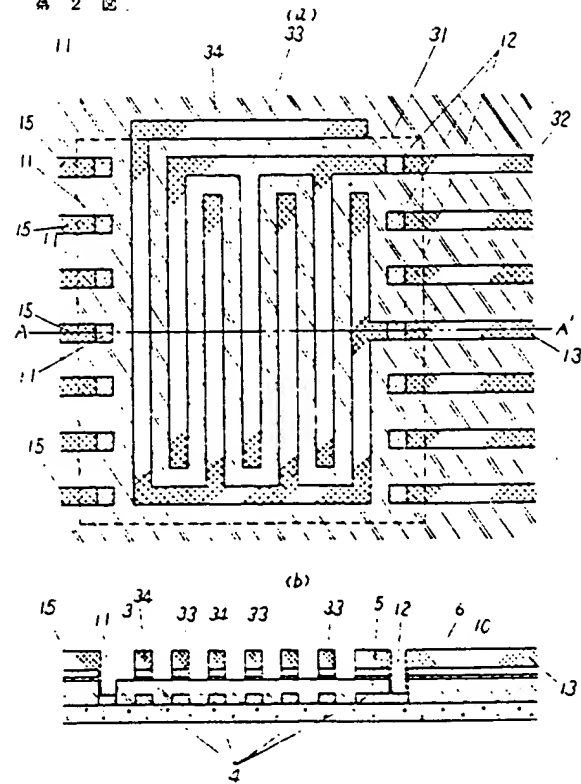
7...炭素膜
8...ソ-スコンダクトホ-ル
9...ドレインコンダクトホ-ル
10...72型a-Si:H膜
11,12...コンダクトホ-ル

1...ガラス基板
2...ゲ-ート電極
3...ゲ-ート電極材料
第1領域
第2領域
5...ゲ-ート絶縁膜
6...a-Si:H膜
TFET領域
COG領域

第1図
(a) (b) (c) (d) (e)



第2図



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**